

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-50496  
(P2011-50496A)

(43) 公開日 平成23年3月17日(2011.3.17)

(51) Int.Cl. F 1 テーマコード (参考)  
A 6 1 B 1/04 (2006.01) A 6 1 B 1/04 3 7 2 4 C 0 6 1

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号	特願2009-200734 (P2009-200734)	(71) 出願人	304050923 オリンパスメディカルシステムズ株式会社 東京都渋谷区幡ヶ谷2丁目4番2号
(22) 出願日	平成21年8月31日 (2009.8.31)	(74) 代理人	100076233 弁理士 伊藤 進
		(72) 発明者	三谷 貴彦 東京都渋谷区幡ヶ谷2丁目4番2号 オ リンパスメディカルシステムズ株式会社内
		(72) 発明者	山下 知暁 東京都渋谷区幡ヶ谷2丁目4番2号 オ リンパスメディカルシステムズ株式会社内
		(72) 発明者	河内 昌宏 東京都渋谷区幡ヶ谷2丁目4番2号 オ リンパスメディカルシステムズ株式会社内

最終頁に続く

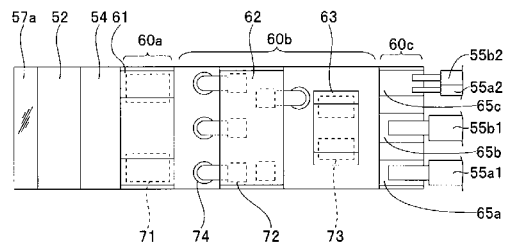
(54) 【発明の名称】 撮像装置及び電子内視鏡

(57) 【要約】

【課題】 小型で、高画質の画像を得る撮像装置を提供すること。

【解決手段】 撮像装置 30 は、撮像素子 52 と、撮像素子 52 の背面側に延出される第 1 基板 53 と、撮像素子 52 の専用電源である撮像素子用パコン 61 と、少なくとも撮像素子 52 の出力信号を処理する IC 62 と、IC 62 用の専用電源である IC 用パコン 63 と、第 1 基板 53 上に接続され、撮像素子用パコン 61、IC 62、及び IC 用パコン 63 が搭載され、撮像素子 52、撮像素子用パコン 61、IC 62、及び IC 用パコン 63 にそれぞれ接続された複数のケーブル接続用ランド 65 a、... を備える積層基板 54 とを備え、撮像素子 52 の背面側に、撮像素子用パコン 61、IC 62、及び IC 用パコン 63、複数のケーブル接続用ランド 65 a、... を順次配置している。

【選択図】 図 3



## 【特許請求の範囲】

## 【請求項 1】

撮像素子と、

この撮像素子が接続され、前記撮像素子の背面側に延出される第 1 の基板と、  
前記撮像素子の専用電源用の撮像素子用受動素子と、  
少なくとも前記撮像素子の出力信号を処理する能動素子と、  
前記能動素子用の専用電源用の能動素子用受動素子と、  
前記第 1 の基板に接続され、前記撮像素子用受動素子、前記能動素子、及び前記能動素子用受動素子が搭載され、前記撮像素子、前記撮像素子用受動素子、前記能動素子及び前記能動素子用受動素子にそれぞれ接続される複数のケーブル接続用ランドを備える第 2 の基板とを備え、

10

前記撮像素子の背面側に、前記撮像素子用受動素子、能動素子、能動素子用受動素子、ケーブル接続用ランドを順次配置したことを特徴とする撮像装置。

## 【請求項 2】

前記撮像素子用受動素子は、前記第 1 の基板、若しくは前記第 2 の基板と同一寸法以下の辺を有することを特徴とする請求項 1 記載の撮像装置。

## 【請求項 3】

前記能動素子は、前記第 1 の基板、若しくは前記第 2 の基板と同一寸法以下の辺を有することを特徴とする請求項 1 記載の撮像装置。

## 【請求項 4】

前記第 2 の基板は積層基板であり、この積層基板に撮像素子固定領域と、素子実装領域と、ケーブル接続領域とを設ける構成において、

20

前記素子実装領域内の最も基板の層数が多い領域に、接続端子の多い能動素子を配置することを特徴とする請求項 1 記載の撮像装置。

## 【請求項 5】

前記積層基板の両面に前記素子実装領域を設ける構成において、

前記素子実装領域は、双方の面において、前記ケーブル接続領域及び前記撮像素子固定領域よりも面積が大きいことを特徴とすることを特徴とする請求項 4 記載の撮像装置。

## 【請求項 6】

前記能動素子の接続端子は、前記積層基板に形成されたビアホールにかからないように形成されることを特徴とする請求項 4 又は請求項 5 に記載の撮像装置。

30

## 【請求項 7】

前記積層基板の両面に素子実装領域を備え、それぞれの素子実装領域に素子間で信号の授受を行う能動素子を搭載する構成において、

一方の面に搭載される能動素子と他方の面に搭載される能動素子とは、前記積層基板の配線層に対して垂直な方向においてオーバーラップ部を有することを特徴とする請求項 5 に記載の撮像装置。

## 【請求項 8】

前記積層基板が備える両面の素子実装領域に搭載される能動素子は、一方が前記撮像素子の出力信号を処理する出力信号処理素子であって、他方が撮像素子駆動用素子であることを特徴とする請求項 7 記載の撮像装置。

40

## 【請求項 9】

請求項 1 乃至請求項 8 のいずれか 1 項に記載した撮像装置を用いた電子内視鏡。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、撮像素子、基板、撮像素子用受動素子、能動素子、及び能動素子用受動素子を備えた撮像装置に関する。

## 【背景技術】

## 【0002】

50

医療分野及び工業分野において、内視鏡が広く利用されている。内視鏡には観察光学系として撮像装置を備えた所謂電子内視鏡がある。電子内視鏡では、患者の体腔内、或いはジェットエンジン内部等の内視鏡画像を、外部装置であるモニタ等の表示装置に表示させて観察を行える。

【0003】

例えば、特許文献1には、固体撮像素子と、対物レンズユニットと、能動素子であるICと、受動素子である電源用電子部品等が搭載された回路基板と、信号ケーブルとを備える固体撮像装置が示されている。この撮像装置では、撮像素子の駆動電圧が例えば8V～10Vの範囲で、ICの駆動電圧が例えば10V～12Vの範囲であった場合、電源用電子部品によって双方に共通な10Vを供給している。この構成では、1つの電源用電子部品を、撮像素子と能動素子とで共用することによって、撮像装置の小型化を図れる構成になっていた。

【0004】

近年、電子内視鏡、特に医療用の電子内視鏡においては、挿入部の細径化と共に内視鏡画像の高画質化が求められている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2003-305004号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、高画質化が望まれる電子内視鏡では、撮像装置に搭載される能動素子等電子部品の数が増えることによって撮像装置が大型になるおそれがあると共に、複数の能動素子から発生する熱によって撮像装置の温度が上昇する懸念があった。そのため、高画質化が望まれる電子内視鏡の撮像装置においては、小型化を損なうことなく、ノイズ等の温度依存する特性をいかに改善するかが課題になっている。

【0007】

本発明は上記事情に鑑みなされたもので、小型で、高画質の画像を得る撮像装置を提供することを目的にしている。

【課題を解決するための手段】

【0008】

本発明の撮像装置は、撮像素子と、この撮像素子が接続され、前記撮像素子の背面側に延出される第1の基板と、前記撮像素子の専用電源である撮像素子用受動素子と、少なくとも前記撮像素子の出力信号を処理する能動素子と、前記能動素子用の専用電源である能動素子用受動素子と、前記第1の基板上に接続され、前記撮像素子用受動素子、前記能動素子、及び前記能動素子用受動素子が搭載され、前記撮像素子、前記撮像素子用受動素子、前記能動素子及び前記能動素子用受動素子にそれぞれ接続される複数のケーブル接続用ランドを備える第2の基板とを備え、

前記撮像素子の背面側に、前記撮像素子用受動素子、能動素子、能動素子用受動素子、ケーブル接続用ランドを順次配置している。

【0009】

この構成によれば、撮像素子用受動素子、能動素子、能動素子用受動素子、ケーブル接続用ランドを、撮像素子の背面側に各素子の機能に最適な順で配置したことによって、配線の取り回しを単純化して撮像装置の小型化を図れる。また、撮像素子及び能動素子に専用の電源である撮像素子用受動素子及び能動素子用受動素子を設けたことによって、撮像素子及び能動素子をそれぞれ最低限の電圧で駆動させて、省電力化を実現して発熱量の低減を図れる。

【発明の効果】

【0010】

10

20

30

40

50

本発明によれば、小型化が可能で、高画質の画像を得られる撮像装置を実現することができる。

【図面の簡単な説明】

【0011】

【図1】図1から図8は本発明の第1実施形態に係り、図1は撮像装置を備える電子内視鏡を含む内視鏡システムを説明する図

【図2】撮像装置の構成を説明する図

【図3】図2の撮像素子ユニットを矢印A方向から見たときの図

【図4】ケーブル接続領域に設けられたケーブル接続用ランドを説明する図

【図5】駆動系の信号を伝送する同軸線の構成を説明する斜視図

10

【図6】図5の同軸線の中心軸に対して直交する断面図

【図7】撮像素子用バイパスコンデンサを第2回路基板に設けた構成の撮像素子ユニットを説明する図

【図8】撮像素子の直近で積層基板側に電氣的に接続される第1インナーリードと、それ以外のインナーリードとを交互にした第1回路基板を説明する図

【図9】撮像素子の直近で積層基板側に電氣的に接続される第1インナーリードを一側面側に集約した第1回路基板を説明する図

【図10】図10 - 図13は本発明の第2実施形態に係り、図10は2つの能動素子を第2回路基板に搭載した構成の撮像素子ユニットを説明する図

【図11】凹部の開口側から見える基板面にグランド層及び電源層を設けた基板を説明する図

20

【図12】ケーブル接続用ランドに接続される各線と接続状態を説明する図

【図13】図12の構成と異なるケーブル接続用ランドに接続される各線とその接続状態を説明する図

【発明を実施するための形態】

【0012】

以下、図面を参照して本発明の撮像装置を説明する。

図1に示す電子内視鏡システム1は、本発明の撮像装置を備える電子内視鏡（以下、内視鏡と略記する）2と、光源装置3と、ビデオプロセッサ4と、表示装置であるモニタ5とを備えて構成されている。内視鏡2は、長尺で細長な挿入部9と、操作部10と、電気ケーブルであるユニバーサルケーブル17とを備えて構成されている。

30

【0013】

内視鏡2の挿入部9は、先端から順に、先端部6、湾曲部7、可撓管部8を連設して構成されている。操作部10は、挿入部9を構成する可撓管部8の基端側に連設されている。操作部10には、挿入部9の湾曲部7を湾曲操作するための湾曲操作ノブ11、送気送水ボタン14a、吸引ボタン14b、各種内視鏡機能のスイッチ15等が設けられている。湾曲操作ノブ11は、湾曲部7を上下方向に湾曲操作するための上下湾曲操作ノブ12と、湾曲部7を左右方向に湾曲操作するための左右湾曲操作ノブ13とを備えている。

【0014】

符号16は処置具チャンネル挿通部であり、処置具チャンネルに連通する開口である。各種処置具は、処置具チャンネル挿通部16を介して処置具チャンネルに挿通される。

40

【0015】

操作部10から延出されるユニバーサルケーブル17は、その端部に光源装置3に着脱自在な内視鏡コネクタ18を有している。内視鏡コネクタ18には映像用ケーブル19の映像用コネクタ19Bが着脱自在に接続される。映像用ケーブル19の他端部にはプロセッサ用コネクタ19Aが備えられており、ビデオプロセッサ4に着脱自在である。

【0016】

ビデオプロセッサ4は、内視鏡画像を表示するモニタ5と電氣的に接続される。ビデオプロセッサ4は、内視鏡2の撮像装置によって光電変換されて伝送された撮像信号を最適な映像信号に処理してモニタ5に出力する。

50

## 【0017】

なお、本実施形態の内視鏡2は、ライトガイドバンドルによって、光源装置3から先端部6まで照明光を伝送するタイプである。符号21は観察窓を構成する第1レンズであり、撮像装置を構成する。符号22は照明窓であり、ライトガイドバンドルによって伝送された照明光が観察部位に向けて照射される。符号23は先端開口であり、処置具チャンネルの先端側開口と吸引用開口とを兼ねている。符号24はノズルであり、第1レンズ21に向けて洗浄液、或いは空気を噴出して、第1レンズ21の表面に付着した体液等を除去する。

## 【0018】

図2に示すように撮像装置30は、対物レンズユニット40と撮像素子ユニット50とを備えて構成されている。対物レンズユニット40は、第1レンズ21、第2レンズ41、第3レンズ42、第4レンズ43等の光学レンズと、フレア絞り44、複数の調整絞り45、間隔環46、固定環47等の光学部材と、これらレンズ21、41、42、43、絞り44、45及び環46、47を固設するレンズ枠48とを備えて構成されている。

10

## 【0019】

本実施形態において、フレア絞り44の開口は例えばAであり、調整絞り45の開口はAより十分に大きなBである。この構成において、フレア絞り44には通常の黒処理が施される。一方、調整絞り45については厚み寸法及び径寸法が黒処理の厚みの分、公差等に微妙な影響を与えることを防止するため、黒処理を不要にしている。

## 【0020】

また、本実施形態において、レンズ枠48に配設されるレンズ41、42、43、間隔環46は、その周囲に接着剤を塗布することなく、固定環47で最後部の第4レンズ43を押圧し、その押圧状態を保持するように接着剤49で固定環47をレンズ枠48に固定して、レンズ41、42、43、間隔環46を所定の位置に配置させる構成にしている。

20

## 【0021】

この構成によれば、固定環47をレンズ枠48に固定してレンズ41、42、43等をレンズ枠48に対して固定する構成であるため、レンズ42とレンズ43との接合面を接着剤49が硬化する際に生じる膨張、収縮によって剥離する不具合を防止することができる。

## 【0022】

一方、撮像素子ユニット50は、撮像ホルダ51と、撮像素子52と、第1基板53と、第2の基板である積層基板54と、複合ケーブル55と、撮像装置外装枠(以下、撮像枠と記載する)撮像枠56とを主に備えて構成されている。

30

## 【0023】

なお、撮像枠56内には例えば絶縁性の封止樹脂(不図示)が充填される。封止樹脂は、基板53、54と撮像素子52との電気的な接続部の周囲、積層基板54に実装された素子の周囲、及び撮像素子52の周囲、複合ケーブル55と積層基板54との接続部を封止する。

## 【0024】

図2 - 図4を参照して撮像素子ユニット50の詳細を説明する。

40

図2に示す撮像素子52は、CCD(Charge Coupled Device)、CMOS(Complementary Metal-Oxide Semiconductor)等である。撮像素子52の撮像面側には、例えば2枚の光学部材であるガラスリッド57a、芯出しカバーガラス57bが接着固定されている。撮像素子52の撮像面側にガラスリッド57aが配置されている。

## 【0025】

撮像ホルダ51は、例えばステンレス鋼で形成されている。撮像ホルダ51の内面所定位置には、撮像素子52に配設された芯出しカバーガラス57bが接着によって一体的に固定される。また、ガラスリッド57aの周囲にも接着剤25が均等に塗布されている。つまり、撮像素子52は、芯出しカバーガラス57b、ガラスリッド57aを介して撮像

50

ホルダ 5 1 に固定される。

【 0 0 2 6 】

撮像ホルダ 5 1 の先端部内面には、レンズ枠 4 8 の基端部が嵌合して配置される。レンズ枠 4 8 と撮像ホルダ 5 1 とは、ピント等の位置調整を完了した後、例えば接着剤、或いは半田 2 6 によって接合固定される。

【 0 0 2 7 】

本実施形態において、撮像ホルダ 5 1 の嵌合部内周面、又はレンズ枠 4 8 の嵌合部外周面の一方にだけ黒処理が施されている。この構成によれば、撮像ホルダ 5 1 の嵌合部内周面、及びレンズ枠 4 8 の嵌合部外周面の両面に黒処理を施した場合に比べて、黒処理の厚みによって嵌合部の嵌め合いが変化する不具合を防止することができる。また、撮像ホルダ 5 1 とレンズ枠 4 8 との位置調整を行った際に、黒処理部がこすれることによって黒処理されたメッキがゴミとして発生してユニット内に混入することを防止することができる。

10

【 0 0 2 8 】

第 1 基板 5 3 は、柔軟性を有する例えばフレキシブルプリント基板であり、撮像素子 5 2 の撮像面の裏面である撮像素子背面側に延出されている。第 1 基板 5 3 は折り曲げ部 5 3 a を有し、その折り曲げ部 5 3 a で折り曲げられて撮像素子 5 2 の撮像面側に設けられている素子側ランド(不図示)と基板一端側に設けられた基板側ランドとが接続されている。

【 0 0 2 9 】

本実施形態において、第 1 基板 5 3 は、撮像素子 5 2 と積層基板 5 4 とを接続する接続部と、一体に固定する固定部とを兼ねている。

20

【 0 0 3 0 】

図 2、図 3 に示す積層基板 5 4 は、撮像素子固定領域 6 0 a と、素子実装領域 6 0 b と、ケーブル接続領域 6 0 c とを備えている。

撮像素子固定領域 6 0 a には第 1 基板接続ランド(不図示)が設けられ、第 1 基板 5 3 の図示しない配線に設けられたランドが接続される。素子実装領域 6 0 b には後述するランド 7 1、7 2、7 3 が設けられ、撮像素子電源用バイパスコンデンサ(以下、撮像素子用パスコンと略記する) 6 1 と、IC 6 2 と、IC 電源用バイパスコンデンサ(以下、IC 用パスコンと略記する) 6 3 とが搭載される。ケーブル接続領域 6 0 c には後述する複数のケーブル接続用ランドが設けられている。複数のケーブル接続用ランドには、複合ケーブル 5 5 内を挿通する複数の信号線のうち、それぞれに対応する信号線が接続される。複合ケーブル 5 5 内には電源線及びグランド線を備える撮像素子電源用電線 5 5 a、IC 電源用電線 5 5 b と、映像信号用同軸線 5 6 a と、駆動信号用同軸線とが挿通されている。

30

【 0 0 3 1 】

撮像素子用パスコン 6 1 は、撮像素子 5 2 に配線(不図示)及びピアホール(不図示)を介して接続された撮像素子専用電源を構成する撮像素子用受動素子である。撮像素子用パスコン 6 1 は、破線に示す撮像素子用パスコンランド 7 1 に接続されて、撮像素子 5 2 の直近である撮像素子背面近傍に配置される。撮像素子用パスコン 6 1 は、撮像素子 5 2 に対して最適な規格なものが使用され、本実施形態の撮像素子用パスコン 6 1 は撮像素子 5 2 の幅寸法と同一寸法以下の長辺を有している。そして、その長辺を撮像素子 5 2 の幅方向に一致させて、積層基板 5 4 に搭載されている。

40

【 0 0 3 2 】

IC 6 2 は能動素子であって、撮像素子 5 2 から出力される撮像素子出力信号の処理を行う出力信号処理素子である。IC 6 2 は、多数の接続端子(不図示)を有し、それぞれの接続端子を所定の IC 用ランド 7 2 にパンプ(不図示)を介して接続して、撮像素子用パスコン 6 1 の後方であるケーブル接続領域 6 0 c 側に配設されている。IC 6 2 も、撮像素子 5 2 の幅寸法と同一寸法以下の長辺を有しており、その長辺を撮像素子 5 2 の幅方向に一致させて、積層基板 5 4 に搭載されている。

なお、接続端子は、IC 6 2 が素子実装領域 6 0 b 実装面に対して傾くことなく所定の

50

状態で確実に配置されるように積層基板 5 4 に形成されたビアホール 7 4 にかからないように形成されている。

【 0 0 3 3 】

IC 用パズコン 6 3 は、IC 6 2 に配線及びビアホールを介して接続された IC 専用電源を構成する能動素子用受動素子である。IC 用パズコン 6 3 は、破線に示す IC 用パズコンランド 7 3 に接続されて、IC 6 2 の直近であって IC 6 2 の後方であるケーブル接続領域 6 0 c 側に配設される。IC 用パズコン 6 3 は、IC 6 2 に対して最適な規格なものが使用される。そのため、本実施形態において IC 用パズコン 6 3 は、撮像素子用パズコン 6 1 に比べて小型であり、長手方向を幅方向に向けて、積層基板 5 4 に搭載されている。

10

【 0 0 3 4 】

このように、撮像素子用パズコン 6 1、IC 6 2 の幅寸法を撮像素子 5 2 の幅寸法と同一寸法以下とすることによって、積層基板 5 4 の長さが必要以上に長くなることを防止している。また、積層基板 5 4 に撮像素子用パズコン 6 1、IC 6 2、IC 用パズコン 6 3 を撮像素子 5 2 側から順に容易に整列させて配設することができる。

【 0 0 3 5 】

ケーブル接続領域 6 0 c は、IC 用パズコン 6 3 の後方に位置して、素子実装領域 6 0 b より基端側である。図 3、図 4 に示すようにケーブル接続領域 6 0 c の一面 6 4 u 側及び他面 6 4 d 側には、例えば 7 つのケーブル接続用ランド 6 5 a、6 5 b、6 5 c、6 6 a、6 6 b、6 6 c、6 6 d が設けられている。

20

【 0 0 3 6 】

例えば、符号 6 5 a は撮像素子用電源ランドであり、符号 6 5 b は IC 用電源ランド、符号 6 5 c は電源用グランドランド、符号 6 6 a は映像信号用グランドランド、符号 6 6 b は映像信号用ランド、符号 6 6 c は駆動信号用ランド、符号 6 6 d は駆動信号用グランドランドである。

【 0 0 3 7 】

一面 6 4 u 側のランド 6 5 a、6 5 b、6 5 c には単線である撮像素子電源用電線 5 5 a 及び IC 電源用電線 5 5 b が接続される。具体的には、撮像素子電源用電線 5 5 a の電源線 5 5 a 1 が撮像素子用電源ランド 6 5 a に接続され、そのグランド線 5 5 a 2 が電源用グランドランド 6 5 c に接続される。また、IC 電源用電線の電源線 5 5 b 1 が IC 用電源ランド 6 5 b に接続され、そのグランド線 5 5 b 2 が電源用グランドランド 6 5 c に接続される。つまり、電源用グランドランド 6 5 c には、撮像素子電源用電線及び IC 電源用電線のグランド線 5 5 a 2、5 5 b 2 が接続される。

30

【 0 0 3 8 】

他面 6 4 d 側のランド 6 6 a、6 6 b、6 6 c、6 6 d には映像信号用同軸線 5 6 a 及び駆動信号用同軸線が接続される。具体的には、映像信号用同軸線 5 6 a の外部導体が映像信号用グランドランド 6 6 a に接続され、その内部導体が映像信号用ランド 6 6 b に接続される。また、駆動信号用同軸線の内部導体が駆動信号用ランド 6 6 c に接続され、その外部導体が駆動信号用グランドランド 6 6 d に接続される。

【 0 0 3 9 】

そして、ケーブル接続用ランド 6 5 a、6 5 b、6 5 c と撮像素子用パズコン 6 1 の撮像素子用パズコンランド 7 1 及び IC 用パズコン 6 3 の IC 用パズコンランド 7 3 とは積層基板 5 4 に設けられている図示しない配線、ビアホール等を介して接続されている。

40

【 0 0 4 0 】

また、ケーブル接続用ランド 6 6 a、6 6 b、6 6 c、6 6 d と撮像素子 5 2 の図示しない素子側ランドとが、回路基板 5 3、5 4 にそれぞれ設けられている図示しない配線、積層基板 5 4 に設けられている図示しないビアホール、積層基板 5 4 に搭載された IC 6 2 を介して接続されている。

【 0 0 4 1 】

複合ケーブル 5 5 内には、ケーブル接続用ランド 6 5 a、6 5 b、6 5 c、6 6 a、6

50

6 b、6 6 c、6 6 dにそれぞれ接続される複数の単線、或いは同軸線が挿通されている。本実施形態において、駆動系の信号を伝送する同軸線は、複合ケーブル5 5の中心軸近傍に配置される。すなわち、駆動系の信号を伝送する同軸線の周囲に、他の単線、他の同軸線を配置して、駆動系の信号を伝送する同軸線の内部導体をより強固に遮蔽している。

【0042】

一般に、同軸線の外部導体は、細い銅線を編んだ編組線として構成されている。しかし、本実施形態において、駆動系の信号を伝送する同軸線は、図5、図6に示す構成である。

【0043】

図5、図6に示すように本実施形態の同軸線3 1は、内部導体3 2と、内部導体3 2の周囲に設けられた絶縁体3 3と、外部導体3 4と、外部導体3 4を被覆するシース3 5とで構成されている。本実施形態の外部導体3 4は、遮蔽効果を高めるために、銅線を例えば径方向に対して二重巻きにして構成されている。

10

【0044】

このことによって、絶縁体3 3に巻回された一巻き目3 4 aの隣り合う銅線が形成する凹み部に、二巻き目3 4 bを構成する銅線を配置することによって、隣り合う銅線同士の間の隙間が銅線によって塞がれて、遮蔽効果を大幅に向上させて放射ノイズを低減することができる。

そして、本実施形態の複合ケーブル5 5においては、このように構成した同軸線3 1を複合ケーブル5 5の中心軸近傍に配置している。

20

【0045】

撮像枠5 6は、撮像素子5 2、電子部品を実装した積層基板5 4、複合ケーブル5 5、の先端部等を覆い包む。撮像枠5 6は、例えば、ステンレス製で長形状の1枚の薄板を丸めて、或いは折り曲げて所定形状に形成される。

【0046】

このように、撮像素子を駆動する電源及びICを駆動する電源を、それぞれ専用にしたことによって、撮像素子及びICをそれぞれ最低の電圧で駆動させて小電力化を実現できると共に、電源ノイズ低減を図ることができる。

【0047】

このことによって、撮像装置の発熱が防止されることによって撮像素子の温度依存特性の改善、及び電源電圧を安定化することにより、電源ノイズが映像信号を劣化させることを防止して高画質の画像を安定して得られる。

30

【0048】

また、撮像素子の背面側に配置される積層基板に撮像素子固定領域、素子実装領域、ケーブル接続領域を設け、撮像素子側から順に撮像素子用パスコンランド、IC用ランド、IC用パスコンランド、及び複数のケーブル接続用ランドを設け、各素子を所定の方向に向けて配置する構成にしたことによって、撮像素子からケーブル接続部に至る配線の取り回しを効率良く、言い換えれば単純化することができる。

【0049】

このことによって、撮像素子、ICを駆動する電源をそれぞれ専用にしたことによって、素子点数が増加する構成にもかかわらず、基板上から配線を引き戻すためのスペース、配線を迂回させるためのスペースを無くして、基板が長くなること、或いは面積が大きくなることを防止して撮像装置の小型化を図れる。

40

【0050】

また、配線密度の高い素子実装領域を撮像素子固定領域及びケーブル接続領域よりも広く形成することで、積層基板内に信号間のクロストークを防止するグラウンド層を十分に形成することができるので、画質向上を図れる。

【0051】

なお、図7に示すように第1基板をTABテープである第1回路基板5 3 Aで構成して、この第1回路基板5 3 Aに撮像素子用パスコン6 1を搭載する一方、第1回路基板5 3

50

A に対向する積層基板 5 4 A の撮像素子固定領域 6 0 a 側に撮像素子用パズコン 6 1 が収納される凹部 5 4 c を設けて撮像素子ユニット 5 0 A を構成するようにしてもよい。

【 0 0 5 2 】

撮像素子ユニット 5 0 A において、撮像素子 5 2 に電氣的に接続されている第 1 回路基板 5 3 A は、図 8 に示すように複数のインナーリード 5 3 c、5 3 d を備えている。インナーリード 5 3 c、5 3 d は、撮像素子 5 2 の直近で積層基板 5 4 A 側に電氣的に接続される第 1 インナーリード 5 3 c と、それ以外の例えば撮像素子用パズコン 6 1 に電氣的に接続される第 2 インナーリード 5 3 d とである。本実施形態において、第 1 インナーリード 5 3 c と、第 2 インナーリード 5 3 d とは交互に配置している。即ち、図 9 の撮像素子ユニット 5 0 A 1 に示すように第 1 インナーリード 5 3 c を一側面側に偏ること無く配置してある。

10

【 0 0 5 3 】

これらの構成によれば、撮像素子用パズコン 6 1 が元あった位置側に、二点鎖線に示すように IC 6 2、IC 用パズコン 6 3 を移動させることによって、撮像素子ユニット 5 0 A においては、積層基板 5 4 A の長さを二点鎖線に示すように短くしてさらなる小型化を図ることができる。また、撮像素子ユニット 5 0 A においては、インナーリード 5 3 c、5 3 d を一方側に偏ることなくリード配置バランスを考慮した上で、電氣的に接続している。このことによって、TAB テープ接続の強度を撮像素子ユニット 5 0 A 1 に比べて高め、安定した保持状態を得ることができる。

その他の作用及び効果は上述した実施形態と同様であり、上述した実施形態と同様の構成の部材には同符号を付して説明を省略している。

20

【 0 0 5 4 】

図 1 0 - 図 1 3 は本発明の第 2 実施形態に係り、図 1 0 は 2 つの能動素子を第 2 回路基板に搭載した構成の撮像素子ユニットを説明する図、図 1 1 は撮像素子用パズコンが搭載される基板表面に形成されたパターンを説明する図、図 1 2 はケーブル接続用ランドに接続される各線と接続状態を説明する図、図 1 3 は図 1 2 の構成と異なるケーブル接続用ランドに接続される各線とその接続状態を説明する図である。

図 1 0 に示すように本実施形態の撮像素子ユニット 5 0 B の積層基板 5 4 B は、両面に素子実装領域 6 0 b 1、6 0 b 2 を備えている。

【 0 0 5 5 】

第 2 素子実装領域 6 0 b 2 側には、凹部 5 4 c 1 が設けられており、その凹部 5 4 c 1 には撮像素子用パズコン 6 1 A が搭載されている。

30

凹部 5 4 c 1 に搭載される撮像素子用パズコン 6 1 は、撮像素子 5 2 の背面に近接して配設されている。

このことによって、撮像素子 5 2 と撮像素子用パズコン 6 1 との隙間に侵入する封止樹脂の量が少なくなる。すると、撮像素子 5 2 を薄板状に構成した場合に、封止樹脂の応力によって、撮像素子 5 2 が反る不具合、或いは撓む不具合等の変形を抑えて、撮像素子 5 2 とガラスリッド 5 7 a との剥離を低減することができる。

【 0 0 5 6 】

第 1 素子実装領域 6 0 b 1 側には、第 1 IC 6 2 A と第 1 IC 用パズコン 6 3 A とが搭載され、第 2 素子実装領域 6 0 b 2 側には第 2 IC 6 2 B と第 2 IC 用パズコン 6 3 B とが搭載されている。

40

第 1 IC 6 2 A は能動素子であって、撮像素子 5 2 から出力される撮像素子出力信号の処理を行う相関二重サンプリング回路を構成する。IC 6 2 A は、多数の接続端子（不図示）を有し、それぞれの接続端子を所定の IC 用ランド（不図示）に接続して、撮像素子用パズコン 6 1 A の後方であるケーブル接続領域 6 0 c 側に配設されている。

【 0 0 5 7 】

第 2 IC 6 2 B は能動素子であって、撮像素子駆動用素子であるタイミングジェネレータである。第 2 IC 6 2 B は、同期信号及びタイミングジェネレータ制御信号の入力に基づいて撮像素子駆動信号及び相関二重サンプリング回路用のサンプリング信号を発生し、

50

撮像素子 5 2 及び第 1 I C 6 2 A のそれぞれに撮像素子駆動信号及びサンプリング信号を供給する。つまり、本実施形態において、第 1 I C 6 2 A と第 2 I C 6 2 B とは信号授受を行う。

【 0 0 5 8 】

第 2 I C 6 2 B は、多数の接続端子（不図示）を有し、それぞれの接続端子を所定の I C 用ランド（不図示）に接続して、撮像素子用パズコン 6 1 A の後方であるケーブル接続領域 6 0 c 側に配設されている。

多数の接続端子を有する I C 6 2 A、6 2 B は、積層基板 5 4 B のうち層数の最も多い、素子実装領域中に配置されている。

【 0 0 5 9 】

また、第 1 素子実装領域 6 0 b 1 に搭載された第 1 I C 6 2 A と、第 2 素子実装領域 6 0 b 2 に搭載された第 2 I C 6 2 B とは、配線層に対して垂直な方向において第 1 I C 6 2 A と第 2 I C 6 2 B とが長手方向で重なるオーバーラップ部 7 0 を有するように配設されている。オーバーラップ部 7 0 には、第 1 I C 6 2 A と第 2 I C 6 2 B とを直線的に接続するピアホール 7 5 が設けられている。

【 0 0 6 0 】

第 1 I C 用パズコン 6 3 A は、第 1 I C 6 2 A に配線を介して接続された第 1 I C 専用電源を構成する能動素子用受動素子である。第 1 I C 用パズコン 6 3 A は、第 1 I C 6 2 A の直近であって第 1 I C 6 2 A の後方であるケーブル接続領域 6 0 c 側に配設されている。

【 0 0 6 1 】

第 2 I C 用パズコン 6 3 B は、第 2 I C 6 2 B に配線を介して接続された第 2 I C 専用電源を構成する能動素子用受動素子である。第 2 I C 用パズコン 6 3 B は、第 2 I C 6 2 B の直近であって第 2 I C 6 2 B の後方であるケーブル接続領域 6 0 c 側に配設されている。

【 0 0 6 2 】

図 1 1 示すように凹部 5 4 c 1 の開口側基板 5 4 d 面上には、グランド層 7 6 と電源層 7 7 とが設けられている。電源層 7 7 の撮像素子側には、撮像素子 5 2 に入力するためのピアホール 7 7 a が所定数設けられ、ケーブル接続領域側には図 1 2 で説明するケーブル接続用ランド 6 5 a 1、6 5 b 1、6 5 c 1 に対応するピアホール 7 7 b が設けられている。

【 0 0 6 3 】

一方、グランド層 7 6 の撮像素子側には撮像素子 5 2 に入力するためのピアホール 7 6 a が所定数設けられ、ケーブル接続領域側には図 1 2 で説明するケーブル接続用ランド 6 6 a 1、6 6 b 1、6 6 c 1、6 6 d 1 に対応するピアホール 7 6 b が設けられている。加えて、このグランド層 7 6 の中央付近には、第 1 I C 6 2 A と第 2 I C 6 2 B とを直線的に接続する前記ピアホール 7 5 が設けられている。そして、これらピアホール 7 5 の周囲にはグランド用のピアホール 7 8 g がそれぞれ設けられている。

【 0 0 6 4 】

なお、積層基板 5 4 B を構成する他の基板にも図示は省略するが、信号用の配線が形成されていない面には、グランド層及び電源層が設けられており、各グランド層同士は複数のピアホールを介して接続され、各電源層同士は複数のピアホールを介して接続されている。

そして、ピアホール 7 5 を囲むように、グランド用のピアホール 7 8 g、或いはピアホール 7 6 を設けることによって、ピアホール 7 5 によるクロストークを低減できる。

【 0 0 6 5 】

このように、第 2 基板の両面に素子実装領域を設け、それぞれの素子実装領域に信号授受を行う第 1 I C と第 2 I C を配設する場合、オーバーラップ部を設け、そのオーバーラップ部に第 1 I C と第 2 I C とを接続する配線を設ける。すると、第 1 I C と第 2 I C とが最短距離で接続されて、第 1 I C と第 2 I C との間における信号授受に遅延が発生する

10

20

30

40

50

ことを確実に防止することができる。

【0066】

このことによって、たとえ、ビデオプロセッサから出力された信号が鈍って送信された場合でも、撮像装置に設けられたタイミングジェネレータにて、撮像素子を駆動するのに十分な波形形状の信号を再生すると共に、劣化のない映像出力信号を出力することができる。

【0067】

また、接続端子の多い第1IC、第2ICを層数の最も多い領域に配設したことによって、能動素子を追加した構成にもかかわらず、複数の基板を用いて配線を単純化して、基板の長さが長くなること、或いは基板の面積が大きくなることを防止して撮像装置の小型化を図ることができる。

また、基板の層数が最も厚く剛性の高い領域にICを実装することで、ICと基板との接続不良による画質劣化を防止することができる。

【0068】

なお、本実施形態の複合ケーブル55Bは、複合ケーブル55が有する電源線及びグラウンド線を有する撮像素子電源用同軸線及び第1IC電源用同軸線と、映像信号用同軸線と、第1IC信号用同軸線とに加え、追加された第2IC62Bに接続される第2IC信号用同軸線、第2IC用パコン63に接続される、電源線及びグラウンド線を有する、第2IC電源用同軸線とが備えられている。つまり、第2IC信号用同軸線及び第2IC電源用電線の分だけ複合ケーブル55B内に挿通される線が増加している。

【0069】

本実施形態のケーブル接続領域60cは、凸形状の突部であって、前記第1実施形態と同様、凸部一側面64u1側及び凸部他側面64d1側には、7つのケーブル接続用ランド65a1、65b1、65c1、66a1、66b1、66c1、66d1が設けられている。

【0070】

本実施形態において、例えば、符号65a1は第1実施形態と同様に撮像素子用電源ランドであり、符号65b1は第1実施形態と同様に第1IC用電源ランドであり、符号65c1は第1実施形態のグラウンドランドに変えて構成された第2IC用電源ランドであり、符号66a1は第1実施形態と略同様な同軸線外部導体用ランドであり、符号66b1は第1実施形態と同様に映像信号用ランドであり、符号66c1は第1実施形態と同様に第1IC信号用ランドであり、符号66d1は第1実施形態の駆動信号用グラウンドランドに変えて構成された第2IC信号用ランドである。

【0071】

この結果、複合ケーブル55B内を挿通する単線及び同軸線の数に比べて、ランドの数が少なくなっている。そのため、本実施形態においては、第2IC62Bに接続されるジェネレータ用同軸線36を単線として使用するため、この同軸線36の内部導体37に外部導体38を絡げた単線みなし部39を構成している。

なお、上述したようにランドの変更及びIC、パコンの配置位置の変更に伴って、積層基板内の配線、ビアホールも適宜変更されている。

【0072】

図12に示すように各単線及び各同軸線の内部導体、外部導体を各ランド65a1、65b1、65c1、66a1、66b1、66c1、66d1に接続している。

すなわち、図11に示すように撮像素子電源用同軸線の内部導体である電源線81aが撮像素子用電源ランド65a1に接続され、その同軸線の外部導体であるグラウンド線81bは同軸線外部導体用ランド66a1に接続される。また、第1IC電源用同軸線の内部導体である電源線82aが第1IC用電源ランド65b1に接続され、その同軸線の外部導体であるグラウンド線82bが同軸線外部導体用ランド66a1に接続される。さらに、第2IC電源用同軸線の内部導体である電源線83aが第2IC用電源ランド65c1に接続され、その同軸線の外部導体であるグラウンド線83bが同軸線外部導体用ランドに接

10

20

30

40

50

続される。

【0073】

一方、映像信号用同軸線の外部導体84b及び第1IC信号用同軸線の外部導体85bを一纏めにした外部導体部86は、同軸線外部導体用ランド66a1に接続される。そして、映像信号用同軸線の内部導体84aは、映像信号用ランド66b1に接続され、駆動信号用同軸線の内部導体85aが第1IC信号用ランド66c1に接続される。そして、同軸線36の単線みなし部39が第2IC信号用ランド66d1に接続される。

【0074】

つまり、同軸線外部導体用ランド66a1には、外部導体部86が接続されると共に、その外部導体部86にグラウンド線81b、82b、83bが依積み状態で配設され接続されている。

10

【0075】

本実施形態においては、単線みなし部39が接続される第2IC信号用ランド66d1を同軸線外部導体用ランド66a1から離間した幅広なランドに接続している。

【0076】

このことによって、半田付け作業の際の熱が、予め外部導体部86が接続されている同軸線外部導体用ランド66a1に伝達されて半田を溶かす不具合が防止されるので、半田付け作業性の向上を図れる。

【0077】

また、接続される信号線が太い、同軸線外部導体ランド66a1と第2IC信号用ランド66d1とが離間した位置に形成されているので、半田ごてを誤って意図しない信号線に接触させることを防止することができるので、半田付け作業性の向上を図れる。

20

【0078】

また、束ねられて太径に構成された単線みなし部39、或いは外部導体部86が配置される積層基板54Bの段差高さhを太径部の外形Hを考慮して設定することにより、半田作業の際、単線みなし部39、外部導体部86に半田ごてを当てやすくすることができる。

【0079】

なお、第1実施形態の撮像素子ユニット50の構成において、部品の共通化を図るために複合ケーブル55Bを使用する場合、余分な信号線はグラウンドに接続する。このことによって、余分な信号線が導体部に接触して発生する短絡を防止することができる。

30

【0080】

また、図13に示すように同軸線を単線化した信号線を接続するケーブル接続用ランド66d1を、ケーブル接続用ランドの数が少ない側の面に設けることによって、ケーブル接続用ランド66d1とケーブル接続用ランド65b1との距離を十分に確保することができるので、半田付け作業性の向上を図ることができる。本実施形態においては、ケーブル接続用ランド66d1以外のケーブル接続用ランドの幅寸法を同一寸法に設定してある。なお、同軸線外部導体ランド66a1に接続される信号線は、映像信号用同軸線の外部導体84b及び第1IC信号用同軸線の外部導体85bを一纏めにした外部導体部86、撮像素子電源用同軸線のグラウンド線81b、第1IC電源用同軸線のグラウンド線82b、第2IC電源用同軸線のグラウンド線83bを撚り束ねたジャンパー線87である。

40

【0081】

尚、本発明は、以上述べた実施形態のみに限定されるものではなく、発明の要旨を逸脱しない範囲で種々変形実施可能である。

【符号の説明】

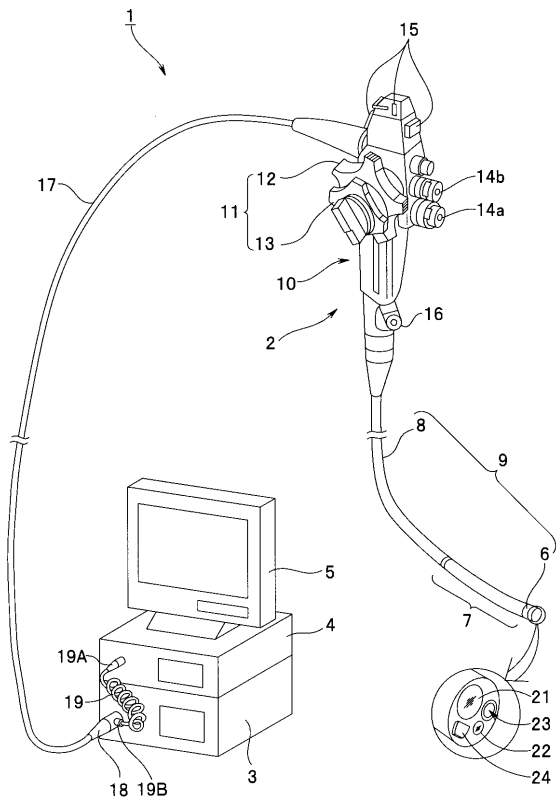
【0082】

1...電子内視鏡システム      2...内視鏡      30...撮像装置      50...撮像素子ユニット  
51...撮像ホルダ      52...撮像素子      53...第1基板      54...積層基板  
55...複合ケーブル      55a...撮像素子電源用電線      55b...電源用電線  
56...撮像枠      56a...映像信号用同軸線      57a...ガラスリッド

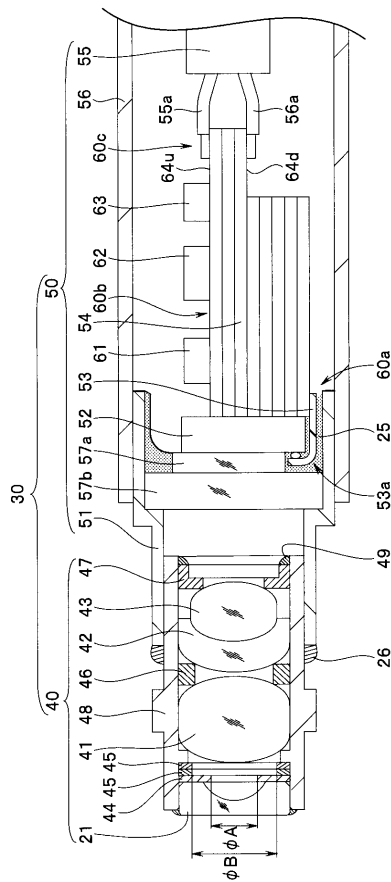
50

- 60 a ... 撮像素子固定領域      60 b ... 素子実装領域      60 c ... ケーブル接続領域
- 61 ... 撮像素子用パソコン      62 ... IC      63 ... IC用パソコン
- 70 ... オーバーラップ部      71 ... 撮像素子用パソコンランド
- 73 ... IC用パソコンランド      74、75 ... ピアホール

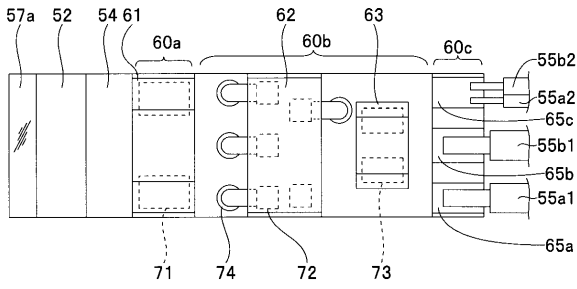
【図1】



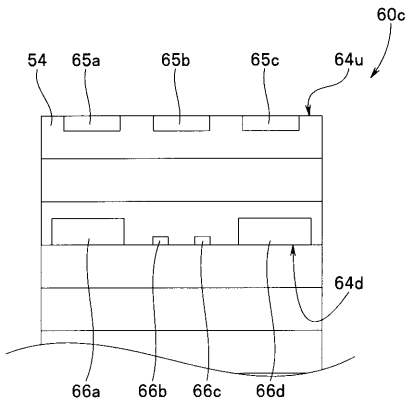
【図2】



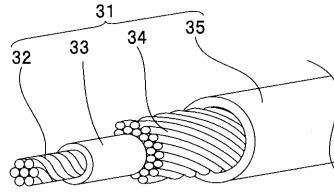
【 図 3 】



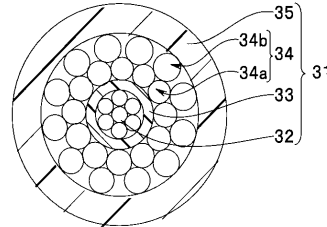
【 図 4 】



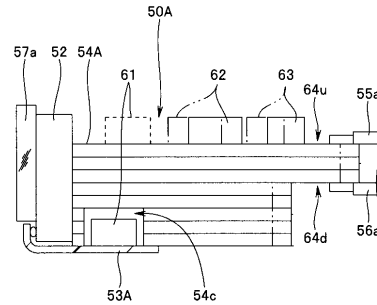
【 図 5 】



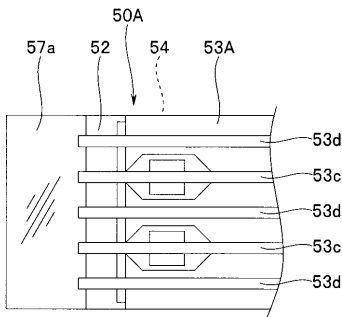
【 図 6 】



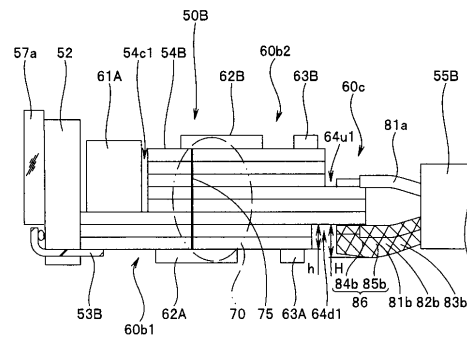
【 図 7 】



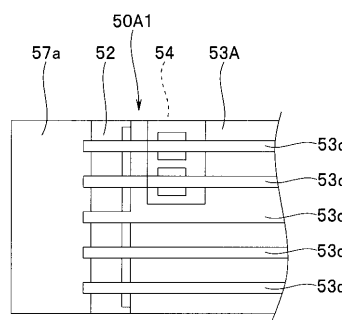
【 図 8 】



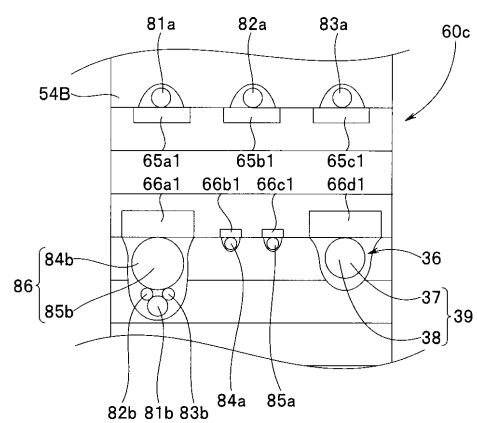
【 図 10 】



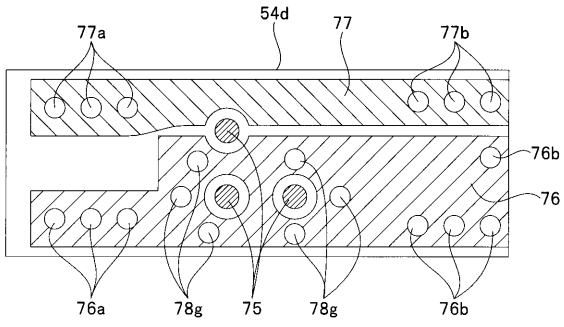
【 図 9 】



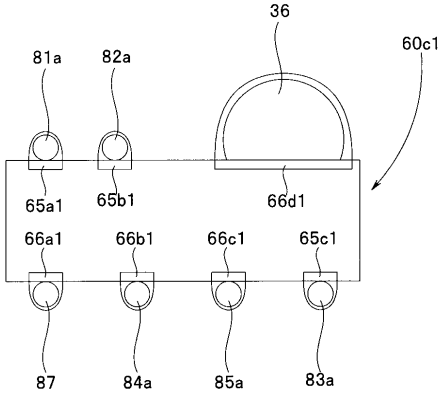
【 図 11 】



【 図 1 2 】



【 図 1 3 】



---

フロントページの続き

- (72)発明者 山下 友和  
東京都新宿区西新宿六丁目2 4 番1号 西新宿三井ビル 日本テキサス・インスツルメンツ株式会  
社内
- (72)発明者 西脇 隆浩  
東京都新宿区西新宿六丁目2 4 番1号 西新宿三井ビル 日本テキサス・インスツルメンツ株式会  
社内
- (72)発明者 溝淵 孝一  
東京都新宿区西新宿六丁目2 4 番1号 西新宿三井ビル 日本テキサス・インスツルメンツ株式会  
社内

Fターム(参考) 4C061 AA29 CC06 JJ06 JJ15 LL02 SS01 SS03

专利名称(译)	成像设备和电子内窥镜		
公开(公告)号	<a href="#">JP2011050496A</a>	公开(公告)日	2011-03-17
申请号	JP2009200734	申请日	2009-08-31
[标]申请(专利权)人(译)	奥林巴斯医疗株式会社		
申请(专利权)人(译)	オリンパスメディカルシステムズ株式会社		
[标]发明人	三谷貴彦 山下知暁 河内昌宏 山下友和 西脇隆浩 溝淵孝一		
发明人	三谷 貴彦 山下 知暁 河内 昌宏 山下 友和 西脇 隆浩 溝淵 孝一		
IPC分类号	A61B1/04		
FI分类号	A61B1/04.372 A61B1/04.530 A61B1/05 G02B23/24.B H04N5/225 H04N5/225.D H04N5/225.100 H04N5/225.500		
F-TERM分类号	4C061/AA29 4C061/CC06 4C061/JJ06 4C061/JJ15 4C061/LL02 4C061/SS01 4C061/SS03 2H040 /GA02 2H040/GA03 4C161/AA29 4C161/CC06 4C161/JJ06 4C161/JJ15 4C161/LL02 4C161/SS01 4C161/SS03 5C122/DA26 5C122/EA03 5C122/EA22 5C122/EA54 5C122/FK23 5C122/GE17 5C122 /GE18 5C122/GE19 5C122/GG01		
代理人(译)	伊藤 进		
其他公开文献	JP5302138B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种获得小尺寸和高图像质量的图像的图像拾取装置。成像装置包括成像元件，延伸到成像元件后侧的第一基板，用于成像元件的通过聚光器，其是成像元件的专用电源，用于处理输出信号的IC62，作为IC62的专用电源的IC通电容器63，用于图像拾取装置的通过转换器61，连接在第一基板53上的IC62和IC通电容器63，以及图像拾取元件52并且，具有多个电缆连接焊盘65a的层叠基板54分别连接到用于IC的图像拾取装置的通过电容器61，IC 62和用于IC的旁路电容器63。在图像拾取元件52的后侧，通过电容器61 IC62，IC通电容器63，多个电缆连接焊盘65a，... 点域

